

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-230054

(43)Date of publication of application : 08.10.1987

(51)Int.Cl.

H01L 29/78

H01L 27/12

H01L 29/44

(21)Application number : 61-073233

(71)Applicant : SEIKO INSTR &amp; ELECTRONICS LTD

(22)Date of filing : 31.03.1986

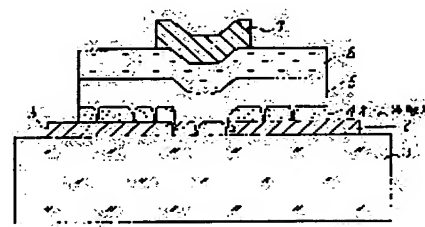
(72)Inventor : TANAKA HIDEO

## (54) THIN FILM TRANSISTOR

## (57)Abstract:

**PURPOSE:** To enhance the yield of a thin film transistor and to suppress an OFF current to a low value as low as a conventional one by forming a gate electrode, a gate insulating film, an amorphous semiconductor thin film and ohmic contact layer in the same pattern to perform patterning steps only twice, and using a discontinuous insular thin film as the ohmic contact layer.

**CONSTITUTION:** A TFT is formed through patterning steps of totally twice of one step of patterning source and drain electrodes 2, 3 and the other step of patterning an ohmic contact layer 4, an amorphous semiconductor thin film 5, an insulating film layer 6 and a gate electrode 7. The electrode 7 is overetched to be formed smaller than the film 6. The layer 4 of an insular structure is formed of N-type hydrogenated amorphous silicon or N-type hydrogenated fine crystal silicon at depositing velocity of approx. 30 $\text{\AA}$ /min., and obtained when the thickness of the film is 150 $\text{\AA}$  or thinner. Thus, the number of the patterning steps can be reduced, and an OFF current can be decreased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

⑯ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-230054

⑬ Int.Cl.<sup>4</sup>

H 01 L 29/78  
27/12  
29/44

識別記号

庁内整理番号

8422-5F  
7514-5F  
Z-7638-5F

⑬ 公開 昭和62年(1987)10月8日

審査請求 未請求 発明の数 1 (全3頁)+/

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭61-73233

⑯ 出 願 昭61(1986)3月31日

⑰ 発 明 者 田 中 秀 夫 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内

⑱ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社

⑲ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) 絶縁性基板と、該絶縁性基板上に間隔を置いて設けられたソース電極及びドレイン電極と、該ソース電極及びドレイン電極上にまたがるようにして設けられたオーム接触層と、該オーム接触層上に設けられた非晶質半導体薄膜層と、該非晶質半導体薄膜層上に設けられた絶縁膜層と、該絶縁膜層上に設けられたゲート電極とから成る薄膜トランジスタにおいて、前記オーム接触層の膜厚を150Å以下としたことを特徴とする薄膜トランジスタ。

(2) 前記オーム接触層は島状に形成されたN型水素化アモルファスシリコンであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

(3) 前記オーム接触層は島状に形成されたN型

水素化微結晶シリコンであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3. 発明の詳細な説明

〈産業上の利用分野〉

この発明は液晶パネルの駆動等に用いられる薄膜トランジスタ(以下TFTと略す)に関する。

〈発明の概要〉

この発明はTFTを作成する際に、パターニング工程をわずか2回しか通さない構造であって、しかもTFTの、オフ電流を低減するものである。

〈従来の技術〉

従来第2図のようないわゆる逆スタガ型構造のTFTが知られていた。。しかし、このような構造ではパターニング工程を最低4回は通さねばならず、そのために工程が複雑化し歩留りも低下するという欠点があった。かかる欠点を除去するために第3図のような構造のTFTが提案されてい

る。このような構造ではバターンニング工程は2回で済むもののオーム接触層9がソース電極10とドレイン電極11を電気的につないでいるためオフ電流が従来の逆スタガ型構造より数桁多く流れるという欠点がある。

#### 〈発明が解決しようとする問題点〉

そこで本発明は従来のこのような問題点を解決するためになされたもので第1の目的はバターンニング工程の回数を減少させることであり第2の目的はオフ電流の小さいTFETを提供することである。

#### 〈問題点を解決するための手段〉

前記問題点を解決するために本発明ではバターンニング工程が2回で済むようにゲート電極、ゲート絶縁膜、非晶質半導体薄膜、オーム接触層は同じパターンとし、しかもオーム接触層に不連続な島状薄膜を用いることによってオフ電流の増加を防ぐことにした。

ス及びドレイン電極2、3で1回と、オーム接触層4、非晶質半導体薄膜5、絶縁膜6及びゲート電極7で1回の合計2回のバターンニング工程を経るだけで作ることが可能である。但しゲート電極7はオーバーエッチを行い、ゲート絶縁膜6より小さく形成する。またオーム接触層4は島状構造になっており上から見ると第4図のようになっている。第4図からわかるように島状構造のオーム接触層はソース電極12とドレイン電極13を電気的にショートしていない。島状構造のオーム接触層はN型水素化アモルファスシリコン又はN型水素化微結晶シリコンを堆積速度毎分約30Å以上で形成し、且つ膜厚約150Å以下の時に得られる。オーム接触層4をこのような島状構造にしたTFETとオーム接触層を普通の連続した薄膜で形成したTFET(第3図)とでは、TFETを形成する際のバターンニング工程には変わりはないが、オフ電流は本発明のTFETの方が1桁以上低い。

#### 〈作用〉

前記のような構造をもつTFETに於いてはバターンニング工程は2回で済み、しかもオフ電流は逆スタガ型構造のTFETと同程度に押さえられる。

#### 〈実施例〉

第1図に、本発明によるTFETの断面構造図を示す。第1図に於いて1は絶縁性基板で石英、ガラス、セラミック等から成る。2及び3はそれぞれソース電極及びドレイン電極でITO、クロム、アルミニウム等から成る。4は島状に形成されたオーム接触層でN型水素化アモルファスシリコン、N型水素化微結晶シリコン等から成る。5は非晶質半導体薄膜層で水素化アモルファスシリコン、水素化微結晶シリコン、弗素を含む水素化アモルファスシリコン等から成る。6は絶縁膜層で窒化シリコン、酸化シリコン、弗素を含む窒化シリコン等から成る。7はゲート電極であり、クロム、アルミニウム等から成る。

本発明のTFETは、第1図から判るようにソー

#### 〈発明の効果〉

以上述べたように本発明のTFETは、フォトリソストを用いたバターンニング工程が2回のみなので製造コストが低く且つ製品としての歩留りが高い上、オフ電流は従来の逆スタガ型構造のTFET並の低い値に押さえられるという効果を有する。

#### 4. 図面の簡単な説明

第1図は本発明のTFETの断面構造図、第2図は従来からある逆スタガ型TFETの断面構造図、第3図はオーム接触層を連続した薄膜で形成した従来のTFETの断面構造図、第4図は島状構造のオーム接触層の平面図である。

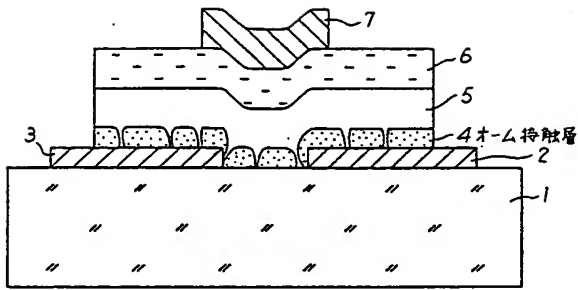
#### 4... オーム接触層

出願人 セイコー電子工業株式会社

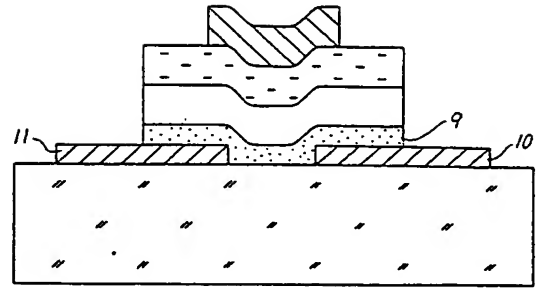
代理人 弁理士 殿 上 務

(他1名)

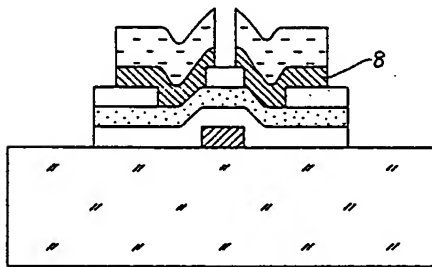




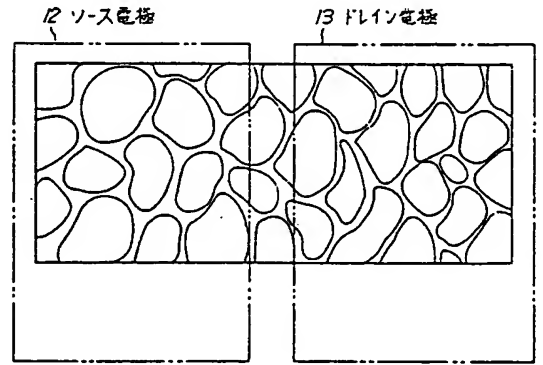
本発明のTFTの断面構造図  
第1図



従来のオーム接触層と連続した薄膜で形成したTFTの断面構造図  
第3図



従来の逆スタガ型TFTの断面構造図  
第2図



島状構造のオーム接触層の平面図  
第4図

特許法第17条の2の規定による補正の掲載

平 2.12.10発行

昭和 61 年特許願第 73233 号(特開昭  
62-230054 号, 昭和 62 年 10 月 8 日  
発行 公開特許公報 62-2301 号掲載)につ  
いては特許法第17条の2の規定による補正があっ  
たので下記のとおり掲載する。 7 ( 2 )

Int. Cl. 5	識別 記号	庁内整理番号
H01L 29/78 27/12 29/44		8422-5F 7514-5F Z-7638-5F

手 続 補 正 書 (自発)

62-230054

平成 2 年 8 月 9 日

特 許 庁 長 官 殿

1. 事件の表示

昭和 61 年 特 許 願 第 73233 号

2. 発明の名称

薄膜トランジスタ

3. 補正をする者

事件との関係 出願人

東京都江東区亀戸 6 丁目 3 1 番 1 号

(232) セイコー電子工業株式会社

代表取締役 原 禮之助

4. 代 理 人

〒 270 千葉県松戸市千駄堀 1 4 9 3

(9628) 弁理士 林 敏之助

連絡先 0473-91-2135 担当 長谷川

5. 補正の対象

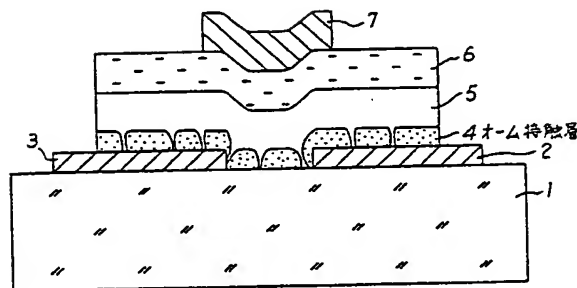
図面 (第 1 図・第 2 図)

6. 補正の内容

(1) 第 1 図と第 2 図を別紙のとおり補正

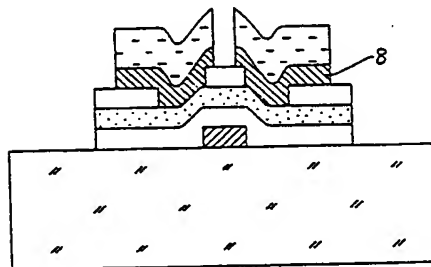


七 式 ( 旦 )



本発明の TFT の断面構造図

第 1 図



従来の逆スタガ型 TFT の断面構造図

第 2 図